

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017005

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 09-164467

(71)Applicant : NEC CORP

(22)Date of filing : 20.06.1997

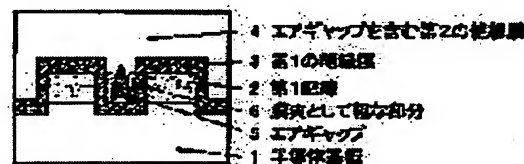
(72)Inventor : OKADA NORIO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

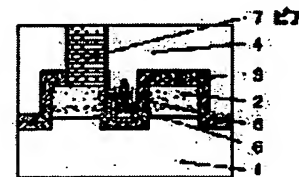
(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of a wiring and a via hole by a method wherein the first insulating film is formed on the surface of the wiring, and the second insulating film, containing an air gap, is formed between the wirings covered by the first insulating film.

SOLUTION: Two of the first wiring 2 are formed on a semiconductor substrate 1, and the surface of the first wirings 2 are covered by the first insulating film 3 by performing a plasma CVD method. The spaces between the first wirings 2, which are covered by the insulating film 3, is filled with the second insulating film 4 containing an air gap 5. Accordingly, as the surface of the first wirings 2 is covered by the insulating film 3, sufficient insulation can be secured even when an inferior insulating film 6 is formed when the second insulating film 4, containing the air gap 5, is formed in the process to be performed later. Even when a via hole 7, which is provided on the first wirings 2, is dropped from the first wirings 2 by misalignment in a lithography process, the reliability of the first wirings 2, containing the via hole 7, can be improved.



(a)



(b)

LEGAL STATUS

[Date of request for examination] 20.06.1997

[Date of sending the examiner's decision of rejection] 21.09.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of 11-17199
rejection]

[Date of requesting appeal against examiner's 21.10.1999
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17005

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

N

P

審査請求 有 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平9-164467

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡田 紀雄

東京都港区芝五丁目7番1号 日本電気株式会社内

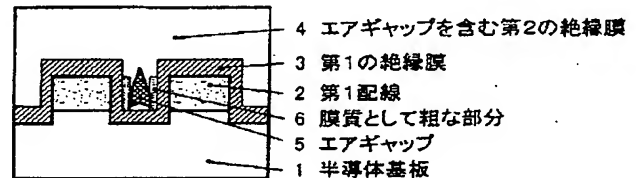
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置及びその製造方法

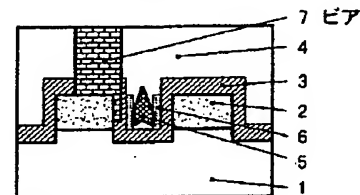
(57) 【要約】

【課題】 エアギャップを含む絶縁膜を有する半導体装置における配線及びビアの信頼性を向上させる。

【解決手段】 第1の配線2の表面が絶縁膜3で被覆することにより、後工程でエアギャップ5を含む第2の絶縁膜4を形成する際に粗悪な絶縁膜が形成されたとしても、絶縁膜3により十分な絶縁性を確保する。



(a)



(b)

入力済

1

【特許請求の範囲】

【請求項 1】 半導体基板上に配線を有する半導体装置であって、

配線の表面上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜で被覆された前記配線間にエアギャップを含む第 2 の絶縁膜を形成したものであることを特徴とする半導体装置。

【請求項 2】 配線形成工程と、第 1 の絶縁膜形成工程と、第 2 の絶縁膜形成工程とを含む半導体装置の製造方法であって、

前記配線形成工程は、半導体基板上に配線を形成する処理を行なうものであり、

前記第 1 の絶縁膜形成工程は、配線の表面上に第 1 の絶縁膜を形成する処理を行なうものであり、

前記第 2 の絶縁膜形成工程は、前記第 1 の絶縁膜で被覆された前記配線間にエアギャップを含む第 2 の絶縁膜を形成する処理を行なうものであることを特徴とする半導体装置の製造方法。

【請求項 3】 前記第 1 の絶縁膜をプラズマ CVD 法により形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の絶縁膜を塗布膜により形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の絶縁膜をバイアス CVD 法（高密度プラズマ CVD 法）により形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 6】 前記第 2 の絶縁層をプラズマ CVD 法により形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の絶縁層をスパッタリング法により形成することを特徴とする前記第 2 の絶縁層を半導体装置の製造方法。

【請求項 8】 前記第 2 の絶縁膜を塗布膜により形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体装置の微細化が進むにつれて配線間容量の増加が問題となっている。絶縁膜の低誘電率を行っても、同一配線層における配線間隔の縮小にともない同一層の配線間容量の増加は抑えることができない。

【0003】 上述した配線間容量増加を抑制するため、図 5 に示す特公平 7-114236 号公報の技術では図 5 (a) に示すように、半導体基板 14 上に第 1 の絶縁膜 15 を介して配線 16 が形成され、次に図 5

(b) に示すように、配線 16 間がスパッタリング法に

2

より埋設され、その埋設部のアスペクト比に併せ制御しエアギャップ 17 が形成されている。

【0004】

【発明が解決しようとする課題】 しかしながら、図 5 に示した方法によるエアギャップ 17 の形成では、配線側壁に形成される絶縁膜が通常よりも粗な膜となり、配線の信頼性、特に、耐電圧の低下、配線上に設けるビア（スルーホール）の目ずれによる配線間のショートが発生する可能性がある。

10 【0005】 以下、図 6 を用いて従来の技術で述べたとおり、配線間にエアギャップを含む絶縁膜を形成した場合の不具合を具体的に説明する。

【0006】 図 6 (a) に示すように従来の技術では、配線 16 間にエアギャップ 17 を含む絶縁膜 18 をスパッタリング法やバイアス CVD 法により成膜した後、CMP（化学的機械的研磨）法などにより平坦化させている。この場合、配線 16 間のスペースが数 μm 以下の隣接配線側壁に形成される絶縁膜 19 は、同一ウェハで配線間スペースの数 $10\mu\text{m}$ 以上広い部分に形成される膜よりも粗な膜として形成されてしまうという問題があった。

【0007】 次に図 6 (b) に示すように、上層配線とのコンタクトをとるためのビア開口用リソグラフィ工程が行われるが、下層配線 16 とビア 20 とをリソグラフィ技術で形成する際の目合わせ精度を 1 分に確保することができないという問題があった。

【0008】 また図 6 (c) に示すように、ビア 20 を形成するために、CVD 法を用いてタングステンなどの金属（化合物）を埋設した場合、CVD ガスがエアギャップ内壁や、配線側壁に形成されている粗な絶縁膜 19 内に膜 19 a、19 b が成膜され、これらの膜 19 a、19 b がショートの原因を引き起こす。これに加えてエアギャップ内にビア開口時の剥離液や、各種ガス（大気）が入り込むことで、CVD 法によりビアを埋設する際の埋設性の低下をもたらすこともあり、ビアに空洞 21 が形成され、ビアのオープン不良を引き起こすという問題があった。

【0009】 本発明の目的は、エアギャップを含む絶縁膜を有する半導体装置における配線及びビアの信頼性を向上させた半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置は、半導体基板上に配線を有する半導体装置であって、配線の表面上に第 1 の絶縁膜を形成し、前記第 1 の絶縁膜で被覆された前記配線間にエアギャップを含む第 2 の絶縁膜を形成したものである。

【0011】 また本発明に係る半導体装置の製造方法は、配線形成工程と、第 1 の絶縁膜形成工程と、第 2 の

50

3

絶縁膜形成工程とを含む半導体装置の製造方法であって、前記配線形成工程は、半導体基板上に配線を形成する処理を行なうものであり、前記第1の絶縁膜形成工程は、配線の表面上に第1の絶縁膜を形成する処理を行なうものであり、前記第2の絶縁膜形成工程は、前記第1の絶縁膜で被覆された前記配線間にエアギャップを含む第2の絶縁膜を形成する処理を行なうものである。

【0012】また、前記第1の絶縁膜をプラズマCVD法により形成するものである。

【0013】また、前記第1の絶縁膜を塗布膜により形成するものである。

【0014】また、前記第2の絶縁膜をバイアスCVD法（高密度プラズマCVD法）により形成するものである。

【0015】また、前記第2の絶縁層をプラズマCVD法により形成するものである。

【0016】また、前記第2の絶縁層をスパッタリング法により形成するものである。

【0017】また、前記第2の絶縁膜を塗布膜により形成するものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0019】（実施形態1）図1（a）、（b）は、本発明の実施形態に係る半導体装置を示す断面図である。

【0020】図1（a）に示す本発明の実施形態に係る半導体装置は、半導体基板1上に第1の配線2を形成し、第1の配線2の表面をプラズマCVD法による第1の絶縁膜3で被覆し、絶縁膜3で被覆された配線2間をエアギャップ5を含む第2の絶縁膜4で埋設した構造となっている。絶縁膜4を形成するにあたっては、バイアスCVD法や高密度プラズマCVD法などを用いる。

【0021】本発明の実施形態によれば、第1の配線2の表面が絶縁膜3で被覆されているため、後工程でエアギャップ5を含む第2の絶縁膜4を形成する際に粗悪な絶縁膜6が形成されたとしても、絶縁膜3により十分な絶縁性を確保することができる。

【0022】また図1（b）に示す本発明の実施形態に係る半導体装置は、第1の配線2に対してビア（スルーホール）7を設けたものである。この場合に、第1の配線2で絶縁膜3で被覆されているため、第1配線2上に設けるビア（スルーホール）7がリソグラフィ工程にて目ずれをして配線2から肩落ちした場合においても、第1の絶縁膜3により十分な絶縁性を確保でき、高信頼性を有する配線を形成することができる。

【0023】（実施形態2）次に、図1に示す半導体装置を実現するための製造方法を図2、図3を用いて説明する。

【0024】まず図2（a）に示すように、半導体基板1上に金属をスパッタリング法により成膜し、選択的に

4

エッチングし第1配線2を形成する。

【0025】次に、図2（b）に示すように、第1配線2上にプラズマCVD法により第1の絶縁膜3を1,000Å成膜する。これにより、配線側壁には十分密な酸化膜が成膜されることになる。第1の絶縁膜3の成膜膜厚は、上層に設けるビアとの目合わせ精度や、配線間隔から適当な成膜膜厚を選べばよいことは言うまでもない。

【0026】次に、図2（c）に示すように、バイアスCVD法によりエアギャップ5を含む第2の絶縁膜4を成膜し、配線2間を絶縁膜4で埋設する。その後、CMP（化学的機械的研磨）法により、第2の絶縁膜4を平坦化をする。

【0027】次に、図2（d）に示すように、下層配線2に達するビア7を絶縁膜4に選択的に開口する。

【0028】次に、図2（e）に示すように、スパッタリング法によりTiN500Åのバリア層8を形成した後、ブランケット、CVD法とドライエッチバック法により、タングステン・プラグ9をビア7内に形成する。

【0029】開口したビア7が第1配線2から肩落ちした場合でも、第1の絶縁膜3が存在するため、歩留まり良くWプラグ9を形成することができる。

【0030】図2（e）において、バリア層を形成しないで、選択CVD法により、プラグ形成する場合も、同様に歩留まり良くできることはいうまでもない。

【0031】また、第2の絶縁膜を形成する工程において、スパッタリング法（特にバイアススパッタリング法）や、プラズマCVD法を用いて所望のエアギャップを含む絶縁膜を形成しても良い。

【0032】（実施形態3）次に、図1に示す本発明の配線構造を実現するための製造方法を図4を用いて説明する。

【0033】まず、図4（a）に示すように、半導体基板1上に選択的に形成された第1の配線層2の表面に回転塗布法及び熱処理により、無機系塗布膜である第1の絶縁膜3を2,000Å成膜する。これにより、配線側壁には十分密な絶縁膜が成膜されることになる。

【0034】次に、図4（b）に示すように、バイアスCVD法によりエアギャップ5を含む第2の絶縁膜4を成膜する。これ以降は、実施形態2と同様な製法を取ることで、安定した配線構造を得ることができる。

【0035】

【発明の効果】以上のように本発明によれば、第1の配線の表面が絶縁膜で被覆されているため、後工程でエアギャップを含む第2の絶縁膜を形成する際に粗悪な絶縁膜が形成されたとしても、絶縁膜により十分な絶縁性を確保することができる。

【0036】さらに、エアギャップを含む絶縁膜を形成した際、下層配線とビアとの目ずれマージンを大きくすることができるため、ビアを含む配線の信頼性を向上さ

5

せることができる。

【図面の簡単な説明】

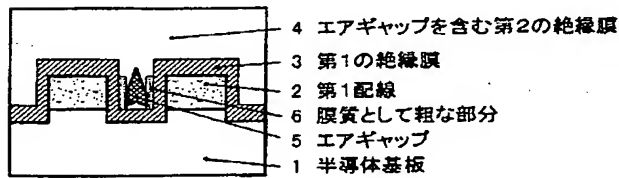
【図1】本発明の実施形態に係る半導体装置を示す断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

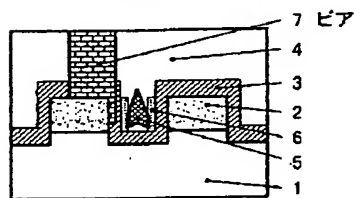
【図3】本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の実施形態に係る半導体装置の別の製造 *

【図1】

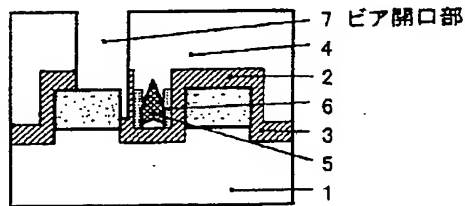


(a)

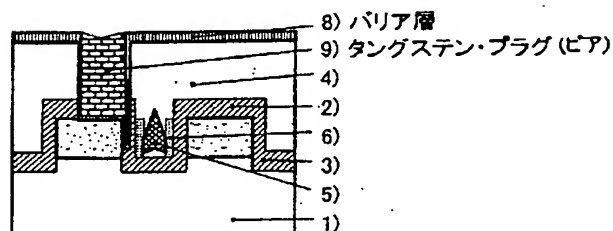


(b)

【図3】



(d)



(e)

6

*方法を工程順に示す断面図である。

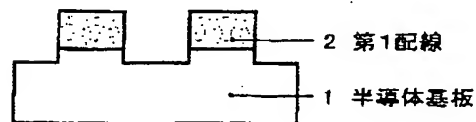
【図5】従来例の半導体装置を示す断面図である。

【図6】従来例の問題点を説明する断面図である。

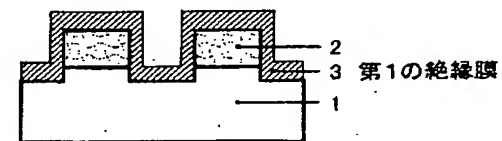
【符号の説明】

- 1 半導体基板
- 2 第1の配線
- 3 絶縁膜
- 4 第2の絶縁膜
- 5 エアギャップ

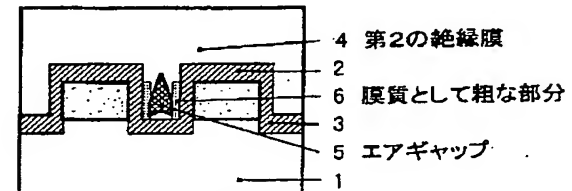
【図2】



(a)

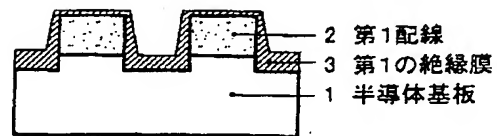


(b)

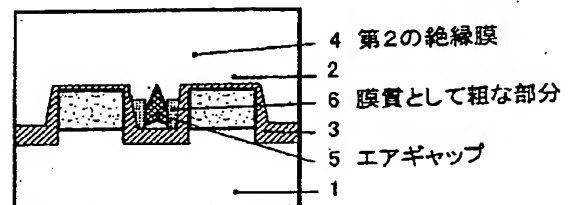


(c)

【図4】

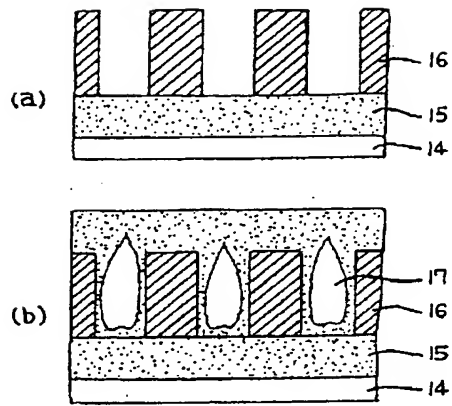


(a)



(b)

【図 5】



【図 6】

